

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-231193

(43) 公開日 平成9年(1997)9月5日

(51) Int.Cl.⁶

識別記号 庁内整理番号
510

F I
G 06 E 15/78

技術表示箇所

審査請求 未請求 請求項の数13 OL (全 8 頁)

(21)出願番号 特願平8-38107

(22)出願日 平成8年(1996)2月26日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 山田 富美恵

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

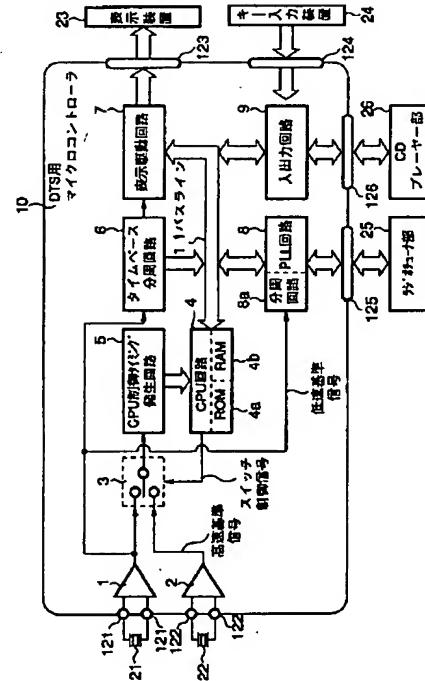
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 マイクロコントローラおよびそれを用いたオーディオ装置

(57)【要約】

【課題】マイクロコントローラにおいて、高速／低速の基準信号を切り換えてCPUを高速／低速動作に切り換える場合、タイムベース信号の補正を不要とする。

【解決手段】低速／高速の基準信号を発生する2個の回路1、2と、低速の基準信号が基本クロックとして供給され、タイムベース信号を生成する回路6と、低速／高速の基準信号を切り換え選択するスイッチ回路3と、選択された方の基準信号が基本クロックとして供給され、CPU動作制御用のタイミング信号を生成する回路5と、メモリ回路4aに格納されたプログラムの命令にしたがってスイッチ回路の切り換え選択を制御し、CPU動作制御用のタイミング信号を受けて命令処理速度が決定され、タイムベース信号をプログラム実行上の時間管理の基準として実行制御するCPU4とを具備する。



BEST AVAILABLE COPY

1

【特許請求の範囲】

【請求項1】 第1の周波数を有する第1の基準信号を発生する第1の基準信号発生回路と、前記第1の周波数より高い第2の周波数を有する第2の基準信号を発生する第2の基準信号発生回路と、前記第1の基準信号発生回路から出力される第1の基準信号が基本クロックとして供給され、タイムベース信号を生成するタイムベース信号生成回路と、前記第1、第2の基準信号発生回路から出力する前記第1、第2の基準信号を選択的に切り換えて出力するスイッチ回路と、前記スイッチ回路により選択された方の基準信号が基本クロックとして供給され、CPU動作制御用のタイミング信号を生成するCPU制御タイミング信号生成回路と、所定のソフトウェアプログラムを格納したメモリ回路と、前記ソフトウェアプログラムの命令にしたがって前記スイッチ回路の切り換え選択を制御し、前記CPU制御タイミング生成回路からのタイミング信号を受けて命令処理速度が決定され、前記タイムベース信号生成回路からのタイムベース信号を前記ソフトウェアプログラム実行上の時間管理の基準として前記ソフトウェアプログラムを実行制御するCPUとを具備することを特徴とするマイクロコントローラ。

【請求項2】 外部接続された制御対象装置に対する機能動作命令信号が外部入力装置から入力されるとともに、入力された機能動作命令信号に基づく前記CPUからの機能動作制御信号を前記制御対象装置に出力する入出力回路を具備することを特徴とする請求項1記載のマイクロコントローラ。

【請求項3】 前記CPUは、前記機能動作命令信号に基づく前記ソフトウェアプログラムの命令にしたがって前記スイッチ回路の切り換え選択を制御することを特徴とする請求項2記載のマイクロコントローラ。

【請求項4】 前記第1の基準信号発生回路から出力する前記第1の基準信号が基本クロックとして供給され、外部に接続されるラジオチューナ部を制御するための一 定周波数のPLL用基準周波数信号を生成するPLL用基準周波数生成回路を具備することを特徴とする請求項1乃至3のいずれか1項に記載のマイクロコントローラ。

【請求項5】 前記第1の基準信号発生回路から出力する前記第1の基準信号が基本クロックとして供給され、外部接続される表示装置に供給するための表示駆動信号を生成する表示駆動回路を具備することを特徴とする請求項1乃至4のいずれか1項に記載のマイクロコントローラ。

【請求項6】 前記第2の基準信号発生回路の代わりに、外部から第2の基準信号を入力するための入力端子

2

を具備することを特徴とする請求項1乃至5のいずれか1項に記載のマイクロコントローラ。

【請求項7】 前記第2の基準信号発生回路には第2の発振素子が接続されており、前記第2の発振素子は前記CPUの制御により非使用時には発振を停止することを特徴とする請求項1乃至5のいずれか1項に記載のマイクロコントローラ。

【請求項8】 前記第1の基準信号発生回路には第1の発振素子が接続されており、前記第1の発振素子は前記10CPUの制御により非使用時には発振を停止することを特徴とする請求項1乃至7のいずれか1項に記載のマイクロコントローラ。

【請求項9】 前記第1の周波数は数MHzであり、前記第2の周波数は数KHzであることを特徴とする請求項1乃至8のいずれか1項に記載のマイクロコントローラ。

【請求項10】 前記制御対象装置はポータブル・オーディオ装置であることを特徴とする請求項2乃至9のいずれか1項に記載のマイクロコントローラ。

【請求項11】 前記制御対象装置はCDプレーヤであることを特徴とする請求項2乃至10のいずれか1項に記載のマイクロコントローラ。

【請求項12】 前記デジタルチューニングシステムはラジオチューナであることを特徴とする請求項4乃至11のいずれか1項に記載のマイクロコントローラ。

【請求項13】 請求項1乃至12のいずれか1項に記載のマイクロコントローラを搭載してなり、当該マイクロコントローラに具備されたソフトウェアプログラムにより機能制御されることを特徴とするオーディオ装置。

30 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、マイクロコントローラおよびそれを用いたオーディオ装置に係り、特にラジオ受信機などの周波数同調をデジタル制御するデジタルチューニングシステム(DTS)用のマイクロコントローラや、例えば電池駆動型のCD(コンパクトディスク)プレーヤ付きのラジオカセット、ラジオ付きのポータブルCDプレーヤ、ヘッドホンステレオなどのポータブル・オーディオ装置に使用される。

40 【0002】

【従来の技術】 DTS用のマイクロコントローラは、従来、図3あるいは図4中に示すように構成されており、通常のマイクロコントローラと比べてPLL(位同期ループ)回路を備えている点に特徴がある。

【0003】 即ち、図3に示す例えば4ビットタイプのマイクロコントローラ60は、1チップ化されたLSI(大規模集積回路)からなり、基準信号発振回路61と、CPU64と、プログラム格納用のROM64aと、データメモリ用のRAM64bと、前記基準信号発振回路61から出力する基準信号が供給されるCPU制

御タイミング発生回路65と、PLL用基準周波数生成回路（分周回路）68aおよびPLL回路68と、上記CPU制御タイミング発生回路65の出力信号に基づいて動作するタイムベース分周回路66および表示駆動回路67と、入出力回路69と、バスライン81と、複数の外部端子822～826を有する。

【0004】上記マイクロコントローラ60には、発振素子22、表示装置23、キー入力装置24、ラジオチューナ部25、CDプレーヤ部26が接続されている。図3中に示したマイクロコントローラ60が比較的の低速（数十KHz）の基準信号に基づいて動作するように構成されている場合には、低速動作用のCPUに64よりラジオチューナ部25における制御（ラジオのチューニング制御、FM多重放送受信時のデータ処理、セットパワーオフモード時の計時制御など）とCDプレーヤ部26における制御とを行う。

【0005】しかし、上記したような低速動作用のCPU64による制御は、CPU64の命令処理速度が遅い（数十μs～数百μs）ので、CDプレーヤ部26における制御に際してデータ処理が十分には間に合わず、CDプレーヤの操作性や応答性が悪化する。また、上記と同様の理由により、ラジオチューナ部25におけるFM多重放送受信時のデータ制御への対応は殆んど不可能である。

【0006】この問題を極力軽減するために、低速動作用のCPU64の能力を十分に引き出すためのノウハウが必要になり、それに伴い、CDプレーヤ部26の制御に関するソフトウェアの開発に時間、労力、費用面での負担がかかる。

【0007】また、低速動作用のCPU64の能力を十分に引き出すためには、使用するソフトウェアの圧縮が困難になり、そのプログラムステップの総数が増加し、結果として、プログラムを格納するROM64aの領域が拡大し、マイクロコントローラ60のチップサイズの増加、コストアップをまねく。

【0008】これに対して、図3中に示したマイクロコントローラ60が比較的の高速（数MHz）の基準信号に基づいて動作するように構成されている場合には、高速動作用のCPU64によりラジオチューナ部25におけるチューニング制御とCDプレーヤ部26における制御とを行う。

【0009】しかし、上記したような高速動作用のCPU64による制御は、高速動作するCPU64やCPU制御タイミング発生回路65から発生するノイズ信号がラジオチューナ部25におけるチューニング制御時の特性（特に、中波、短波のAM受信特性）に悪影響を与える、その特性を劣化させてしまう。

【0010】また、上記したような高速動作に起因して、セットパワーオフモード時の時計動作機能に関してマイクロコントローラ60の消費電流が大きくなり、電

池駆動型のポータブル・オーディオ機器の動作時間（電池寿命）を短くしてしまう。

【0011】一方、図4中に示すマイクロコントローラ70は、比較的の高速（数MHz）の基準信号を発生する高速基準信号発振回路71と、比較的の低速（数十KHz）の基準信号を発生する低速基準信号発振回路72と、上記2つの基準信号発振回路から出力する高速／低速の基準信号を切り換える選択するスイッチ回路73と、CPU74と、プログラム格納用のROM74aと、データメモリ用のRAM74bと、前記スイッチ回路73により選択された基準信号が供給されるCPU制御タイミング発生回路75と、PLL用基準周波数生成回路（分周回路）78aおよびPLL回路78と、上記CPU制御タイミング発生回路75の出力信号に基づいて動作するタイムベース分周回路76および表示駆動回路77と、入出力回路79と、バスライン81と、複数の外部端子821～826を有する。

【0012】上記マイクロコントローラ70には、高速発振用の発振素子21、低速発振用の発振素子22のほかに、図3に示したように表示装置、キー入力装置、ラジオチューナ部およびCDプレーヤ部が接続されている。

【0013】図4中に示したマイクロコントローラ70においては、ラジオチューナ部におけるチューニング制御やセットパワーオフモード時の時計動作制御を行う際には、スイッチ回路73により低速基準信号を選択してCPU74を低速動作させる。また、CDプレーヤ部における制御やラジオチューナ部におけるFM多重放送受信時のデータ制御を行う際には、スイッチ回路73により高速基準信号を選択してCPU74を高速動作させる。

【0014】しかし、上記したような高速／低速の基準信号をスイッチ回路73により切り換えることにより、タイムベース分周回路76から発生する各種のタイムベース信号のクロック周波数が高速時／低速時で大きく変化してしまう。上記タイムベース信号は、CPU74におけるソフトウェア実行上の時間管理（時間の計測やパルス幅、周波数の測定など）の基準として利用されるので、この周波数に応じてソフトウェア上で更生する必要がでてくる。これに伴い、プログラムが複雑で煩雑なものとなり、ソフトウェアの開発に負担をかけてしまう。

【0015】また、前記タイムベース分周回路76から供給している表示駆動回路用の基本クロックの周波数も大きく変化するが、表示駆動回路77の出力タイミングを一定に保つ必要があるので、そのための補正回路を追加する必要があり、回路規模が増加し、マイクロコントローラ70のコストアップをまねく。

【0016】また、前記スイッチ回路73により切り換えた基準信号は、PLL回路78内のPLL用基準周波数生成回路78aへ供給されているが、その出力で

あるPLL用基準周波数信号は、前記表示駆動回路77と同様に基準信号の高速／低速切り換えにかかわらず一定でなければならないので、そのための補正回路を追加する必要があり、回路規模が増加し、マイクロコントローラ70のコストアップをまねく。

【0017】また、上記PLL用基準周波数信号は、高精度、高安定度が要求されるが、それを生成するための基本クロックとなる高速基準信号／低速基準信号を発生する2つの基準信号発振回路71、72には発振素子21、22としてそれぞれ高精度で高価な水晶振動子を使用する必要があり、マイクロコントローラ70の外付け部品価格の上昇をまねく。

【0018】

【発明が解決しようとする課題】上記したように高速／低速の2種類の基準信号を切り換え選択してCPUを高速動作／低速動作に切り換え選択する従来のDTS用マイクロコントローラは、高速選択時／低速選択時で各種のタイムベース信号のクロック周波数が大きく変化してしまい、クロック周波数に応じてソフトウェア実行上の時間管理の基準をソフトウェア上で更生する必要が生じ、プログラムが複雑で煩雑なものとなり、ソフトウェアの開発に負担をかけてしまうという問題があった。

【0019】また、高速選択時／低速選択時で表示駆動回路用の基本クロックの周波数も大きく変化し、表示駆動回路の出力タイミングを一定に保つための補正回路を追加する必要があり、回路規模が増加し、マイクロコントローラのコストアップをまねくという問題があった。

【0020】また、高速選択時／低速選択時でPLL回路内のPLL用基準周波数生成回路の出力であるPLL用基準周波数信号を一定に保つための補正回路を追加する必要があり、回路規模が増加し、マイクロコントローラのコストアップをまねくという問題があった。

【0021】また、高精度、高安定度が要求されるPLL用基準周波数信号を生成するための基本クロックとなる高速／低速の基準信号を発生する2つの基準信号発振回路には発振素子としてそれぞれ高精度で高価な水晶振動子を使用する必要があり、マイクロコントローラの外付け部品価格の上昇をまねくという問題があった。

【0022】本発明は上記の問題点を解決すべくなされたもので、高速／低速の2種類の基準信号を切り換え選択してCPUを高速動作／低速動作に切り換える場合でも、各種のタイムベース信号のクロック周波数、表示駆動回路用の基準クロック周波数、PLL回路の周波数を特に補正することなく一定に保つことができ、ソフトウェア開発の負担を軽減でき、回路規模の増加やコストアップおよび外付け部品価格の上昇を抑制し得る安価で多機能のマイクロコントローラを提供することを目的とする。

【0023】また、本発明の他の目的は、前記マイクロコントローラの制御対象装置としてCDプレーヤなどの

ポータブル・オーディオ装置が外部接続された安価で多機能のオーディオ装置を提供することにある。

【0024】

【課題を解決するための手段】本発明のマイクロコントローラは、第1の周波数を有する第1の基準信号を発生する第1の基準信号発振回路と、前記第1の周波数より高い第2の周波数を有する第2の基準信号を発生する第2の基準信号発振回路と、前記第1の基準信号発振回路から出力される第1の基準信号が基本クロックとして供給され、タイムベース信号を生成するタイムベース信号生成回路と、前記第1、第2の基準信号発振回路から出力する前記第1、第2の基準信号を選択的に切り換えて出力するスイッチ回路と、前記スイッチ回路により選択された方の基準信号が基本クロックとして供給され、CPU動作制御用のタイミング信号を生成するCPU制御タイミング生成回路と、所定のソフトウェアプログラムを格納したメモリ回路と、前記ソフトウェアプログラムの命令にしたがって前記スイッチ回路の切り換え選択を制御し、前記CPU制御タイミング生成回路からのタイミング信号を受けて命令処理速度が決定され、前記タイムベース信号生成回路からのタイムベース信号をソフトウェアプログラム実行上の時間管理の基準として前記ソフトウェアプログラムを実行制御するCPUとを具備することを特徴とする。

【0025】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。図1は、本発明の第1の実施の形態に係るDTS用マイクロコントローラを示している。

【0026】図1において、1チップ化されたLSIからなるマイクロコントローラ10は、第1の周波数を有する第1の基準信号（比較的低速の基準信号）を発生する第1の基準信号発振回路（低速基準信号発振回路1）と、前記第1の周波数より高い第2の周波数を有する第2の基準信号（比較的高速の基準信号）を発生する第2の基準信号発振回路（高速基準信号発振回路2）と、スイッチ回路3と、マイクロコントローラ10が搭載される装置の機能制御を行なうための所定のソフトウェアプログラムを格納したメモリ回路（例えばROM4a）と、CPU4と、CPU制御タイミング発生回路5と、タイムベース信号生成回路（タイムベース分周回路6）とを具備する。

【0027】さらに、前記マイクロコントローラ10は、データメモリ用のRAM4bと、表示駆動回路7と、PLL用基準周波数生成回路（例えば分周回路）8aおよびPLL回路8と、入出力回路9と、バスライン11と、複数の外部端子121～126とを具備し、上記バスライン11は、前記CPU4と、タイムベース分周回路6、表示駆動回路7、PLL回路8および入出力回路9との間に接続されている。

【0028】そして、前記複数の外部端子121～126には、低速発振用の第1の発振素子21および高速発振用の第2の発振素子22のほかに、制御対象装置として例えばポータブル・オーディオ装置における表示装置23、キー入力装置24、ラジオチューナ部25およびCDプレーヤ部26などが外付け接続されている。

【0029】前記低速基準信号発振回路1は、低速発振用の発振素子として高精度の水晶振動子が21が接続されており、比較的低速(数十KHz)の基準信号を発生するものである。この低速基準信号発振回路1は、発振停止制御機能を有し、非使用時(例えばマイクロコントローラの電池電源交換時)には発振動作を停止するよう前記CPU4により制御されることが望ましい。

【0030】前記高速基準信号発振回路2は、高速発振用の発振素子として例えばセラミック振動子22が接続されており、発振停止制御機能を有し、使用時には比較的高速(数MHz)の基準信号を発生し、後述するような非使用時には発振を停止するよう前記CPU4により制御される。

【0031】前記スイッチ回路3は、前記CPU4により制御され、前記2つの基準信号発振回路1、2から出力する低速/高速の基準信号を切り換え選択して出力するものである。

【0032】前記CPU制御タイミング発生回路5は、前記スイッチ回路3により選択された基準信号が基本クロックとして供給され、CPU動作制御用の各種のタイミング信号を発生するものである。

【0033】前記タイムベース分周回路6は、前記低速基準信号発振回路1から出力する低速基準信号が基本クロックとして供給され、各種のタイムベース信号を生成するものである。

【0034】前記表示駆動回路7は、前記低速基準信号に基づいてタイムベース分周回路6から出力するタイムベース信号が基本クロックとして供給され、外部接続される表示装置23に外部端子13を介して供給するための表示駆動信号を生成するものであり、表示装置23でラジオ受信周波数やCDプレーヤの動作状態や時計などの表示を行わせるように駆動する。

【0035】前記PLL回路8は、前記低速基準信号発振回路1から出力する低速基準信号が基本クロックとして供給され、外部接続されるDTS(本例ではラジオチューナ部25)に供給するための精度、安定度が高い一定周波数のPLL用基準周波数信号を生成するPLL用基準周波数生成回路8aを含み、PLL用基準周波数信号を外部端子125を介して外部のラジオチューナ部25に出力する。

【0036】前記入出力回路9は、制御対象装置に対する機能動作命令信号が外部の入力装置(本例ではキー入力装置)24から外部端子124を介して入力し、入力された機能動作命令信号に基づく前記CPU4からの機

能動作制御信号を前記制御対象装置に出力するものである。

【0037】前記CPU4は、前記CPU制御タイミング生成回路5からのタイミング信号を受けて命令処理速度が決定され、前記タイムベース信号生成回路6からのタイムベース信号をソフトウェアプログラム実行上の時間管理の基準としてソフトウェアプログラムを実行制御するものである。

【0038】即ち、前記CPU4は、外部から入力された機能動作命令信号に基づいて前記ROM4aに格納されているソフトウェアプログラムの命令にしたがって前記スイッチ回路3の切り換え選択を制御するとともに、前記低速基準信号発振回路1、高速基準信号発振回路2、表示駆動回路7、PLL回路8および入出力回路9を統合的に制御する機能を有する。

【0039】この場合、プログラムの命令によるスイッチ制御信号により前記スイッチ回路3を制御して基準信号を切り換えることにより、CPU4自体の動作速度を変化させる。

【0040】また、前記CPU4は、前記スイッチ回路3により前記低速基準信号発振回路1の出力を選択させた時(高速基準信号発振回路2の非使用時)には、高速基準信号発振回路2の発振動作を停止させ、低速基準信号発振回路1の非使用時(例えばマイクロコントローラの電池電源交換時)には低速基準信号発振回路1の発振動作を停止するよう制御する機能を有する。

【0041】次に、図1中に示したマイクロコントローラ10の動作を説明する。このマイクロコントローラ10においては、第1の動作モードとして、高速/低速の2種類の基準信号をそれぞれ発生させた状態で、スイッチ回路3により高速基準信号を切り換え選択してCPU4を高速動作させることが可能である。

【0042】この場合には、CDプレーヤ部26の制御やラジオチューナ部25のFM多重放送の受信データ制御を十分な余裕をもって実行できるので、その制御性能が悪化したり、制御不能になるような問題を解消できる。

【0043】また、命令制御速度が速いので、CPU4の処理能力を十分に引き出すようなソフトウェア上のノウハウも不要となり、ソフトウェア開発の負担を軽減することができる。しかも、ソフトウェアの圧縮も可能になり、そのプログラムステップ数を低減でき、それを格納するROM領域が小さくて済むので、マイクロコントローラ10のチップサイズを低減でき、その価格の上昇を抑制できる。

【0044】これに対して、第2の動作モードとして、低速基準信号発振回路1により低速の基準信号を発生させるが、高速基準信号発振回路2の発振動作を停止させた状態で、スイッチ回路3により低速基準信号を切り換え選択してCPU4を低速動作させることが可能であ

る。

【0045】この場合には、CPU制御タイミング発生回路5とCPU4を含むマイクロコントローラ10全体が低速動作するので、ラジオチューナ部25におけるチューニング制御時の特性（特に、中波、短波のAM受信特性）に悪影響を与える高周波ノイズの発生が抑制され、その特性劣化を防ぐことができる。

【0046】同様に、マイクロコントローラ10全体が低速動作することにより、セットパワーオフモード時の時計動作に際しても消費電流が低減され、電池駆動型のポータブル・オーディオ機器の動作時間（電池寿命）を延ばすことが可能になる。

【0047】また、この時、高速基準信号発振回路2の発振動作を停止させているので、高速基準信号発振回路2の出力信号がノイズ信号としてラジオチューナ部25におけるチューニング制御時の特性（特に、中波、短波のAM受信特性）に悪影響を与えてその特性を劣化させてしまうおそれはない。

【0048】上記したようなマイクロコントローラ10の第1の動作モードあるいは第2の動作モードにおいて、タイムベース分周回路6の基本クロックとして常に高速基準信号が供給され、上記タイムベース分周回路6の出力信号（ソフトウェア実行上の時間管理の基準となる各種のタイムベース信号）は常に高速基準信号に基づいて生成されるので、その周波数は一定であり、変化することはない。これにより、従来は必要としたソフトウェア実行上の時間管理の更生が不要になり、プログラムを簡素化でき、ソフトウェア開発の負担を大幅に軽減することができる。

【0049】また、表示駆動回路7は、タイムベース分周回路6の出力信号が基本クロックとして供給されるので、常に高速基準信号に基づいて動作するので、その出力タイミング信号もスイッチ回路3の切り換えの影響を受けずに一定であり、従来は必要とした出力タイミング補正回路が不要になる。

【0050】前記タイムベース分周回路6と同様に、PLL回路8内のPLL用基準周波数生成回路8aも、基本クロックとして常に高速基準信号が供給され、スイッチ回路3の切り換えの影響を受けずに一定であり、従来は必要とした出力タイミング補正回路が不要になる。

【0051】さらに、精度、安定度が高い一定周波数であることが要求されるPLL用基準周波数信号は、高速基準信号に基づいて生成されるので、前記高速基準信号発振回路2の発振素子22として高精度で高価な水晶振動子を使用する必要がなくなり、安価なセラミック振動子やLCC素子などを使用することが可能になり、外付け部品のコストダウンを図ることが可能になる。

【0052】即ち、上記したように、タイムベース分周回路6、表示駆動回路7およびPLL回路8は、前記スイッチ回路3により高速/低速の2種類の基準信号が切

り換えるても動作に影響が及ばない。

【0053】従って、タイムベース分周回路6、表示駆動回路7およびPLL回路8の回路構成を簡略化でき、回路規模を低減することができ、かつ、マイクロコントローラ10を使用するためのソフトウェアの開発に際しての負担を大幅に軽減することができ、安価で多機能のDTS用マイクロコントローラを実現することができる。

【0054】なお、高速基準信号発振回路1は、その非使用時（例えばマイクロコントローラの電池電源交換時）には発振動作を停止させるようにCPUにより制御される。

【0055】図2は、本発明の第2の実施の形態に係るDTS用マイクロコントローラの一部を抜き出して示している。図2に示すマイクロコントローラ10aは、図1に示したマイクロコントローラ10と比べて、高速基準信号発振回路2の代わりに外部から高速基準信号が入力する外部端子（入力端子31）が設けられており、この外部端子31を介して入力した高速基準信号は端子機能切換回路32および入力バッファ回路33を介して前記スイッチ回路3の一方の入力となる点が異なり、その他は同じであるので図1中と同一符号を付している。

【0056】上記端子機能切換回路32がソフトウェアのプログラムに応じてCPU4から切換制御信号により制御されることにより、前記入力端子31は、入出力回路9の入出力端子の1つとして切り換え使用される（入力端子31は入出力回路9の入出力端子の1つとして兼用される）。

【0057】図2に示したマイクロコントローラ10aによれば、図1に示したマイクロコントローラ10と基本的には同様の効果が得られるほか、高速基準信号発振用の外付けの発振素子が不要になり、入出力回路9の入出力端子の1つを高速基準信号入力端子31と兼用できるので、さらにコストダウンを図ることが可能になる。

【0058】

【発明の効果】上述したように本発明のマイクロコントローラによれば、高速/低速の2種類の基準信号を切り換え選択してCPUを高速動作/低速動作に切り換える場合でも、タイムベース信号のクロック周波数を特に補正することなく一定に保つことができ、ソフトウェア開発の負担を軽減でき、回路規模の増加やコストアップおよび外付け部品価格の上昇を抑制することができる。

【0059】また、本発明によれば、マイクロコントローラにおける高速/低速の2種類の基準信号を切り換え選択してCPUを高速動作/低速動作に切り換える場合でも、外部接続される表示装置を表示駆動するための表示駆動回路の基本クロックの周波数を特に補正することなく一定に保つことができ、ソフトウェア開発の負担を軽減でき、回路規模の増加やコストアップおよび外付け部品価格の上昇を抑制でき、安価で多機能の表示装置用

11

のマイクロコントローラを実現することができる。
【0060】また、本発明によれば、マイクロコントローラにおける高速／低速の2種類の基準信号を切り換える選択してCPUを高速動作／低速動作に切り換える場合でも、外部接続されるデジタルチューニングシステムに基準周波数を供給するためのPLL回路のPLL用基準周波数信号を特に補正することなく一定に保つことができ、ソフトウェア開発の負担を軽減でき、回路規模の増加やコストアップおよび外付け部品価格の上昇を抑制でき、安価で多機能のデジタルチューニングシステム用のマイクロコントローラを実現することができる。

【0061】また、本発明によれば、マイクロコントローラの制御対象装置としてCDプレーヤなどのポータブル・オーディオ装置が外部接続された安価で多機能のオーディオ装置を実現することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係るマイクロコントローラを示す構成説明図。

【図2】本発明の第2の実施の形態に係るマイクロコントローラの一部を抜き出して示す構成説明図。

【図3】従来のDTS用のマイクロコントローラの一例を示すブロック図。

【図4】従来のDTS用のマイクロコントローラの他の

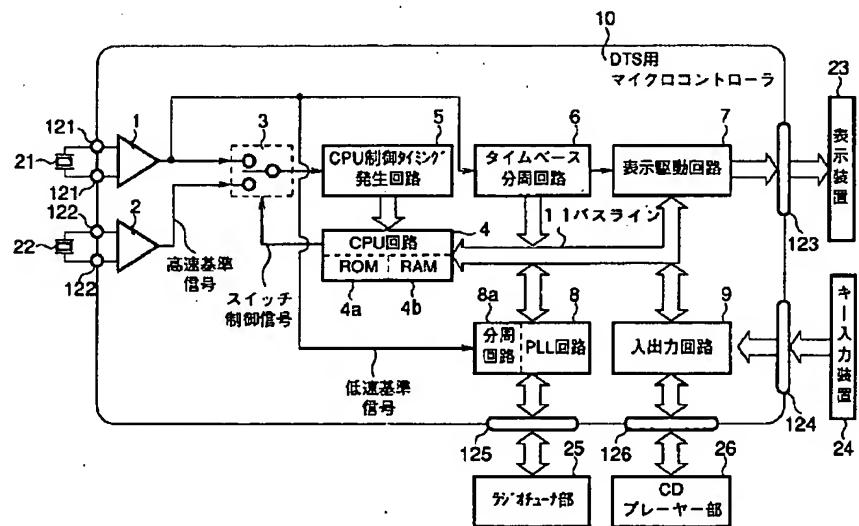
1 2

例を示すブロック図

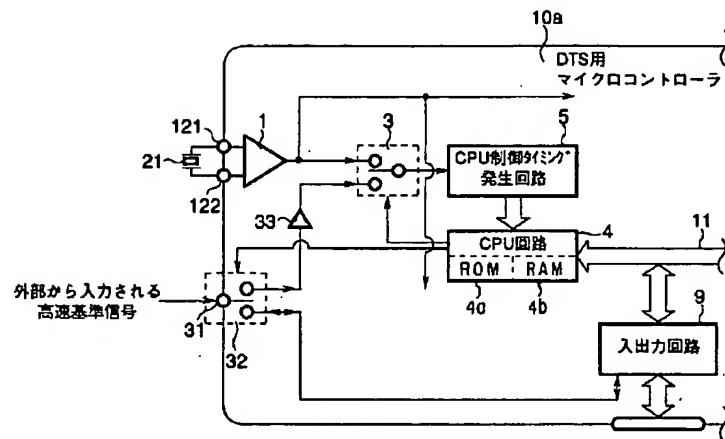
【符号の説明】

- 1…低速基準信号発振回路、
- 2…高速基準信号発振回路、
- 3…スイッチ回路、
- 4…C P U、
- 4 a…R O M、
- 4 b…R A M、
- 5…C P U制御タイミング発生回路、
- 10 6…タイムベース分周回路、
- 7…表示駆動回路、
- 8…P L L回路、
- 8 a…P L L用基準周波数生成回路、
- 9…入出力回路、
- 10、10 a…マイクロコントローラ、
- 11…バスライン、
- 121～126…外部端子、
- 21…低速発振用の発振素子、
- 22…高速発振用の発振素子、
- 20 23…表示装置、
- 24…キー入力装置、
- 25…ラジオチューナ部、
- 26…C Dプレーヤ部。

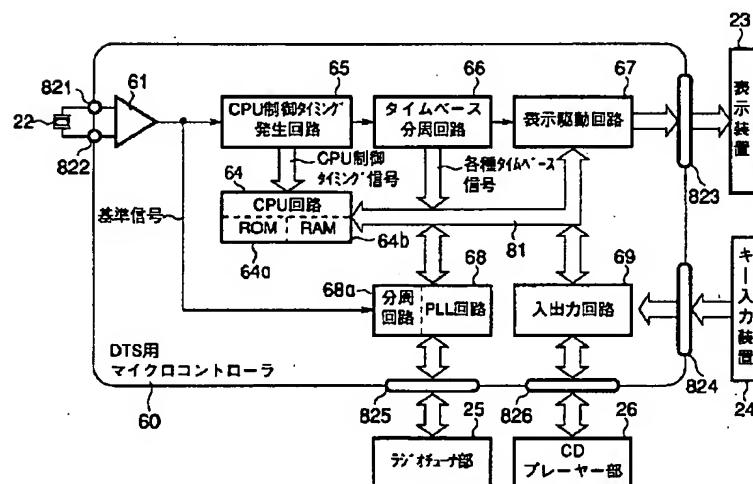
【図1】



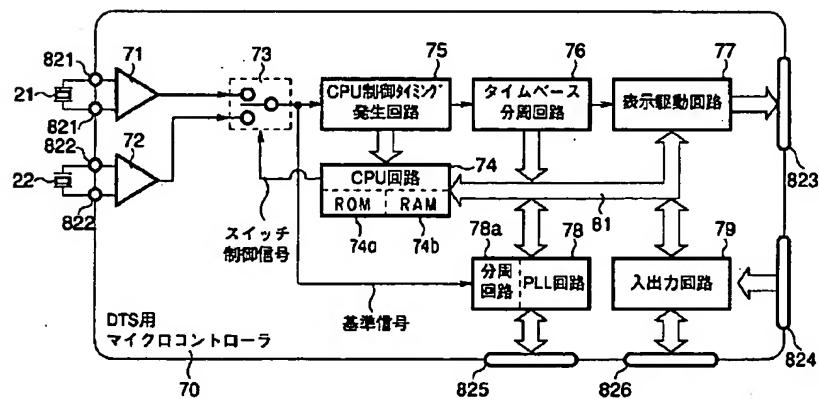
〔図2〕



〔図3〕



【四】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT OR DRAWING
- BLURRED OR ILLEGIBLE TEXT OR DRAWING
- SKEWED/SLANTED IMAGES
- COLOR OR BLACK AND WHITE PHOTOGRAPHS
- GRAY SCALE DOCUMENTS
- LINES OR MARKS ON ORIGINAL DOCUMENT
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.